

Docket No.: P-0261



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Min Seok OH :
Serial No.: 09/942,939 : Group Art Unit: 2133
Confirm. No.: 8961 : Examiner: Unassigned
Filed: August 31, 2001 :
For: METHOD AND APPARATUS FOR ENCODING/DECODING REED-
SOLOMON CODE IN BIT LEVEL

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT(S)

Assistant Commissioner of Patents
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the following application(s):

Korean Patent Application No. 11026/2001 filed March 3, 2001

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP

Daniel Y.J. Kim
Registration No. 36,186
Carl R. Wesolowski
Registration No. 40,372

P. O. Box 221200
Chantilly, Virginia 20153-1200
(703) 502-9440 DYK:CRW/cah
Date: January 3, 2002



한 민 국 특 허 청
KOREAN INTELLECTUAL
PROPERTY OFFICE

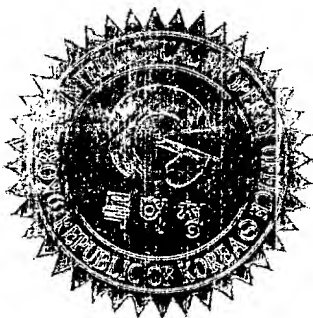
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 특허출원 2001년 제 11026 호
Application Number

출 원 년 월 일 : 2001년 03월 03일
Date of Application

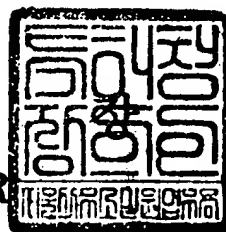
출 원 인 : 엘지전자 주식회사
Applicant(s)



2001 년 06 월 14 일

특 허 청

COMMISSIONER



【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0003		
【제출일자】	2001.03.03		
【국제특허분류】	H03M 7/28		
【발명의 명칭】	비트 레벨 부호화/복호화 방법 및 장치		
【발명의 영문명칭】	BIT LEVEL ENCODING/DECODING METHOD AND APPARATUS		
【출원인】			
【명칭】	엘지전자 주식회사		
【출원인코드】	1-1998-000275-8		
【대리인】			
【성명】	박장원		
【대리인코드】	9-1998-000202-3		
【포괄위임등록번호】	2000-027763-7		
【발명자】			
【성명의 국문표기】	오민석		
【성명의 영문표기】	OH,Min Seok		
【주민등록번호】	670225-1357410		
【우편번호】	463-500		
【주소】	경기도 성남시 분당구 구미동 시그마 II 오피스텔 B-233		
【국적】	KR		
【신규성주장】			
【공개형태】	학술단체 서면발표		
【공개일자】	2000.09.04		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박장원 (인)		
【수수료】			
【기본출원료】	16	면	29,000 원
【가산출원료】	0	면	0 원

【우선권주장료】	0	건	0	원
【심사청구료】	4	항	237,000	원
【합계】	266,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통 2. 신규성(출원시의 특례)규정을 적용받기 위한 증명서류_1통			

【요약서】

【요약】

본 발명은 비트 레벨 부호화/복호화 방법 및 장치에 관한 것으로 특히, RS 부호를 성분 부호로 가지는 곱 부호에서 RS 부호의 이진 등가량(binary equivalent)을 이용하여 이진 트렐리스(binary trellis)를 만들어 비-이진 브랜치(non-binary branch)의 복잡도(complexity)를 줄이고 또한, 전체 블록의 크기는 변함없이 인터리버의 크기를 비트 레벨로 확장하여 반복 복호기(iterative decoder)의 성능을 향상시킬 수 있도록 함에 목적이 있다. 이러한 목적을 위하여 본 발명은 부호화하기 위한 심볼의 부호 길이, 정보 길이, 정보 다항식의 각 계수, 생성 다항식의 계수 등의 정보를 입력시키는 소스 정보 입력부(110)와, RS 부호의 이진 등가량(binary equivalent)와 상기 소스 정보 입력부(110)에서의 정보를 연산하여 비트 레벨 RS 부호를 얻고 이를 성분 부호(component code)로 하여 열(row)와 행(column) 벡터(vector)를 생성하는 부호화부(120)와, 이 부호화부(120)에서 생성된 코드를 변조하는 변조부(130)와, 수신 신호로부터 비트 레벨의 RS 시퀀스를 복조하는 복조부(140)와, 이 복조부(140)로부터의 RS 시퀀스에 대해 RS 부호의 이진 등가량을 이용하여 반복적으로 복호를 수행함에 의해 열 벡터와 행 벡터를 복호하는 복호화부(150)와, 이 복호화부(150)에서의 생성 코드를 외부로 출력하는 소스 정보 출력부(160)를 구비하여 구성한다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

비트 레벨 부호화/복호화 방법 및 장치{BIT LEVEL ENCODING/DECODING METHOD AND APPARATUS}

【도면의 간단한 설명】

도1은 본 발명의 실시예를 위한 장치의 블록도.

도2는 도1에서 복호화부의 상세 블록도.

도3은 본 발명의 실시예에서 이진 생성 매트릭스의 구조를 보인 예시도.

도4는 본 발명의 실시예에서 이진 생성 매트릭스를 적용한 예시도.

도5는 기존의 곱 부호의 구조를 보인 예시도.

도6은 본 발명의 실시예에서 곱 부호의 구조를 보인 예시도.

도7은 본 발명의 실시예에서 부호화 과정을 보인 동작 순서도.

* 도면의 주요부분에 대한 부호 설명 *

110 : 소스 정보 입력부 120 : 부호화부

130 : 변조부 140 : 복조부

150 : 복호화부 160 : 소스 정보 출력부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 부호화/복호화에 관한 것으로 특히, 리드-솔로몬 곱 부호(Reed-Solomon Product Code)를 위한 비트 레벨 부호화/복호화 방법 및 장치에 관한 것이다.
- <13> 통상적으로 곱 부호(Product Code)는 직렬 연쇄 블록 터보 코드의 한 형태로서 콘볼루션 기반의 터보 코드(convolutional-based turbo code)에 대하여 성능 및 복잡도(complexity)에서 좋은 trade-off를 보여준다.
- <14> 특히, 대역 효율성을 위한 높은 전송율 시스템과 이동통신 장비를 위한 짧은 블록 프레임에서 콘볼루션 기반의 터보 코드보다 낮은 복잡도에서 합당한 성능을 보여준다.
- <15> 곱 부호의 성능은 선택된 성분 부호(component code)에 따라 부호의 특성이 결정되기 때문에 좋은 부호 특성을 가지고 있는 RS 부호를 곱 부호의 성분 부호로 이용하는 방법은 의미있는 접근이다.
- <16> RS 곱 부호를 위한 SISO(Soft-Inout Soft Output) 복호 방법은 크게 두가지 방법이 있다.
- <17> 첫 번째는 Chase 알고리즘을 이용하는 방법이고, 두 번째는 블록 코드의 트렐리스(trellis) 위에서 MAP 알고리즘, max-log, SOVA 알고리즘을 이용하는 트렐리스(trellis) 기반의 SISO 복호(decoding) 방법이다.

【발명이 이루고자 하는 기술적 과제】

- <18> 그러나, 종래의 기술로 제시된 첫 번째 방법은 큰 차원(dimension)을 가진 RS 부호의 경

우 생성하여야 할 시험 패턴이 너무 많기 때문에 복호기의 복잡도가 크게 증가하는 문제점이 있고 또한, 두 번째 방법은 RS 부호의 비-이진(non-binary) 특성 때문에 트렐리스(trellis)의 각 노드에서의 브랜치 개수가 역시 비-이진이 됨으로 복호 과정은 이진 브랜치(binary branch)를 가진 경우보다 각각의 노드에서 더 복잡한 과정이 요구되는 문제점이 있다.

<19> 특히, 두 번째 방법은 전체 부호화된 블록 크기에 비하여 인터리버의 크기가 심볼 차원(symbol dimension)에 따라 상대적으로 작아지기 때문에 성능이 인터리버의 크기에 좌우되는 반복 복호 방법을 사용하는데 있어 효과적이지 못할 것이다.

<20> 따라서, 최소한 성능의 손실없이 RS 성분 부호(component code)의 SISO 복호 복잡도를 줄이는 복호 방법은 곱 부호(product code)를 위한 반복 복호 구조에서 매우 유용할 것이다.

<21> 따라서, 본 발명은 RS 부호를 성분 부호로 가지는 곱 부호에서 RS 부호의 이진 등가량(binary equivalent)을 이용하여 이진 트렐리스(binary-trellis)를 만들어 비-이진(non-binary) 브랜치(branch)의 복잡도(complexity)를 줄이고 또한, 전체 블록의 크기는 변함없이 인터리버의 크기를 비트 레벨로 확장하여 반복 복호기(iterative decoder)의 성능을 향상시킬 수 있도록 창안한 비트 레벨 부호화/복호화 방법 및 장치를 제공함에 목적이 있다.

【발명의 구성 및 작용】

<22> 본 발명에서의 이진 RS 곱 부호의 부호 과정은 RS 부호의 이진 등가량(binary equivalent)을 생성하는 단계와, 상기 이진 등가량을 이용하여 비트 레벨 RS 부호를 얻

는 단계와, 상기 비트 레벨 RS 부호를 성분 부호(component code)로 이용하여 열(row)와 행(column) 벡터(vector)를 생성하는 단계로 이루어짐을 특징으로 한다.

- <23> 이 경우, 이진 등가량은 binary information sequence와 이진 형태의 systematic generator matrix의 곱으로 얻어지므로 조직적(systematic)인 형태를 이루게 되며 이때, 생성된 이진 코드워드(binary codeword)는 부호화 과정이 비트 레벨에서 이루어졌을지라도 원래의 RS 코드와 symbol weight distribution에서 동일한 부호 특성을 가진다.
- <24> 또한, 본 발명에서의 RS 곱 부호의 복호 방법은 각각의 로(row)와 컬럼(column) 벡터를 복호하기 위하여 트렐리스(trellis)를 이용하는 임의의 SISO 복호 알고리즘을 RS 부호의 이진 등가량을 위해 만들어진 이진 트렐리스 위에서 적용한다.
- <25> 이 경우, 이진 등가량은 상기 부호 과정에서 만들어진 이진 생성 매트릭스(binary generator matrix)에 대응하는 이진 패리티 체크 매트릭스(binary parity check matrix)를 이용하여 만들어지고 각각의 SISO 복호의 한 출력은 비트 레벨에서의 외부 정보(extrinsic information)로서 이 값들이 곱 부호를 위한 반복 복호기의 새로운 입력 정보로 사용한다.
- <26> 즉, 본 발명의 복호 방법은 비-이진(non-binary) 심볼로 구성된 RS 부호를 비트 레벨의 이진 등가량(binary equivalent)을 이용하여 어떤 주어진 곱 부호의 각각의 행과 열 벡터를 이루는 성분 부호(component code)가 되도록 함으로써 인터리버의 효과를 주어진 심볼 차원의 제곱으로 증가시켜 트렐리스(trellis)를 이용하는 반복 복호 과정에서 각 노드에서의 비-이진 브랜치 대신에 이진 브랜치 구조가 되게 하여 반복 복호 과정이 가능하도록 함을 특징으로 한다.

- <27> 이하, 본 발명을 도면에 의거 상세히 설명하면 다음과 같다.
- <28> 도1은 본 발명의 실시예를 위한 부호화기/복호화기의 블럭도로서 이에 도시한 바와 같이, 소스 정보 입력부(110), 부호화부(120), 변조부(130), 복조부(140), 복호화부(150) 및 소스 정보 출력부(160)로 구성된다.
- <29> 상기 소스 정보 입력부(110)는 부호화하기 위한 심볼에 대한 부호 길이, 정보 길이, 정보 다항식의 각 계수, 생성 다항식의 계수 등의 정보를 입력시키도록 구성한다.
- <30> 상기 부호화부(120)는 RS 부호의 이진 등가량(binary equivalent)를 이용하여 소스 정보 입력부(110)에서의 정보를 연산하여 비트 레벨 RS 부호를 얻고 이를 성분 부호(component code)로 하여 열(row)과 행(column) 벡터(vector)를 생성한 후 코드워드를 생성하도록 구성한다.
- <31> 상기 변조부(130)는 부호화부(120)에서 생성된 코드워드를 변조하여 통신 채널로 전송하도록 구성한다.
- <32> 상기 복조부(140)는 통신 채널로부터 전송 신호를 수신하여 비트 레벨의 시퀀스를 복조하도록 구성한다.
- <33> 상기 복호화부(150)는 복조부(140)로부터의 시퀀스에 대해 RS 부호의 이진 등가량을 이용하여 반복적으로 복호를 수행함에 의해 각각의 로 벡터와 컬럼 벡터를 복호하도록 구성한다.
- <34> 상기 소스 정보 출력부(160)는 복호화부(150)에서 복호된 심볼을 출력하게 구성한다.
- <35> 상기 복호화부(150)는 도2의 블럭도에 도시한 바와 같이, 채널(L_c)로부터 수신된 시퀀스(L_y)와 이전 복호 정보($L_c^e(\hat{u})$)를 연산하여 열 벡터($L_c^r(\hat{u})$, $L^r(\hat{u})$)를 산출하는 비트

레벨 복호기(210)와, 이 비트 레벨 복호기(210)로부터 수신된 열 벡터($L_e^c(\hat{u})$)를 입력으로 행 벡터($L^c(\hat{u})=L(\hat{u})$)를 산출하면서 상기 비트 레벨 복호기(210)로의 복호 정보($L_e^c(\hat{u})$)를 산출하는 비트 레벨 복호기(220)로 구성한다.

<36> 이와같이 구성한 본 발명의 실시예에 대한 동작 및 작용 효과를 도3 내지 도7을 참조하여 설명하면 다음과 같다.

<37> 도3은 이진 생성 매트릭스의 구조를 보인 예시도, 도4는 이진 생성 매트릭스의 적용예, 도5 및 도6은 RS 곱 부호 패턴의 예시도, 도7은 동작 순서도이다.

<38> 우선, RS 부호를 위한 이진 등가량(binary equivalent)의 생성 매트릭스를 생성하는 과정을 설명하기로 한다.

<39> $GF(2^m)$ 의 심볼을 가지는 부호 길이(N)와 정보 길이(K)인 (N,K) RS 부호에 대한 생성 매트릭스(generator matrix)(G)는 각 심볼의 간단한 선형(linear combination) 해석에 의해 다음과 같이 $GF(2)$ 의 이진 매트릭스(binary matrix)로 쉽게 표현될 수 있다.

<40> 즉, 임의의 $GF(2^m)$ 의 심볼(α^i)은 다음과 같은 다항식(polynomial)으로 표현된다.

$$\alpha^i = \sum_{j=0}^{m-1} a_j \alpha^j \quad \text{for } a_j \in GF(2) \text{ and } \alpha^j \in GF(2^m) \quad \text{--- 식(1)}$$

<42> 따라서, 임의의 심볼 A와 B의 곱은 다음과 같이 표현할 수 있다.

$$A \cdot B = \sum_{j=0}^{m-1} a_j \alpha^j \cdot \sum_{k=0}^{m-1} b_k \alpha^k = \sum_{j=0}^{m-1} \sum_{k=0}^{m-1} a_j b_k \alpha^{j+k} \quad \text{----- 식(2)}$$

<44> 상기 식(2)의 선형 결합을 매트릭스에서 표현하면 다음과 같은 식(3)으로 표현할 수 있다.

$$\begin{aligned}
 &<45> \quad |a_{m-1}, a_{m-2}, \dots, a_0| \cdot \begin{vmatrix} b_{m-1}\alpha^{2m-2} \dots b_0\alpha^{m-1} \\ b_{m-1}\alpha^{2m-3} \dots b_0\alpha^{m-2} \\ \dots \\ b_{m-1}\alpha^m \dots b_0\alpha \\ b_{m-1}\alpha^{m-1} \dots b_0\alpha^0 \end{vmatrix} = \begin{vmatrix} a_{m-1}b_{m-1}\alpha^{2m-2} \dots a_{m-1}b_0\alpha^{m-1} \\ a_{m-2}b_{m-1}\alpha^{2m-3} \dots a_{m-2}b_0\alpha^{m-2} \\ \dots \\ a_1b_{m-1}\alpha^m \dots a_1b_0\alpha \\ a_0b_{m-1}\alpha^{m-1} \dots a_0b_0\alpha^0 \end{vmatrix} \quad \text{--- 식(3)}
 \end{aligned}$$

<46> 결국, 우측 매트릭스의 각각의 열 벡터(row vector)는 심볼(B)를 가진 심볼 벡터에 $\alpha^0 \sim \alpha^{m-1}$ 을 순차적으로 곱함으로써 얻어진 매트릭스에 심볼(A)을 가진 binary element를 곱하는 결과와 같다.

<47> 따라서, 어떤 $GF(2^m)$ 의 심볼을 가지는 생성 매트릭스(G)에 대한 이진(binary) 등가 형태의 생성 매트릭스(G_b)는 각각의 'g'의 각 심볼에 $\alpha^0, \dots, \alpha^{m-1}$ 을 순차적으로 곱하여 얻어진 확장된 새로운 매트릭스의 각 심볼들을 상기 식(1)과 같은 2진(binary) 형태로 나타냄으로써 얻을 수 있다.

<48> 즉, RS 부호에 대한 이진 등가량(binary equivalent)인 이진 생성 매트릭스(G_b)는 도3의 예시도와 같이 $g_{00} \sim g_{K-1N-1}$ 각각에 $\alpha^{m-1} \sim \alpha^0$ 를 곱하여 표현할 수 있다.

<49> 예를 들어, 생성 다항식 $g(X)=X^2+\alpha^4X+\alpha^3$, 단 $\alpha \in GF(2^3)$ 인 (7,5) RS 부호에 대한 이진 등가량은 도4와 같이 표현할 수 있다.

<50> 여기서, $GF(2^3)$ 임으로 alpha는 $\alpha^0=00$, $\alpha^1=01$, $\alpha^2=10$, $\alpha^3=11$ 로 표시할 수 있다.

<51> 그런데, 종래의 비-이진 심볼(non-binary symbol)로 구성된 RS 곱 부호는 도5의 예시도와 같이 표현된다.

<52> 여기서, 각각의 행과 열 벡터는 (N,K) RS 코드워드이고 각각의 심볼은 $GF(2^m)$ 의 차원을

가짐으로써 인터리버의 크기는 K^2 이고 각각의 벡터들을 위한 SISO 복호는 트렐리스 (trellis)의 길이 $((depth)N)$ 와 각 노드에서의 브랜치의 수 2^m 을 가진다.

<53> 그리고, 본 발명을 적용하여 이진 심볼(binary symbol)로 구성된 RS 곱 부호 패턴은 도6의 예시도와 같이 표현된다.

<54> 여기서, 각각의 행과 열 벡터를 구성하는 방법은 도5의 예시도와 동일하나, 각 벡터들은 RS 부호의 (N_m, K_m) 이진 등가량(binary equivalent)으로 이루어진다.

<55> 특히, 인터리버의 크기가 $m^2 K^2$ 이고 각각의 벡터들에 SISO 복호를 위한 트렐리스 (trellis)는 전체 길이 $((depth)mN)$ 와 각 노드에서의 브랜치의 수는 단지 2개를 가진다.

<56> 이하, 상기의 개념을 참조하여 본 발명의 실시예에서의 부호화 과정 및 복호화 과정을 설명하면 다음과 같다.

<57> 우선, 부호화 과정은 도1의 부호화부(120)에서 도7의 동작 순서도와 동일한 과정으로 이루어진다.

<58> 즉, 상기 부호화부(120)는 binary information sequence와 systematic generator matrix를 곱하여 RS 부호의 이진 등가량(binary equivalent) (G_b) 을 생성한 후 상기 이진 등가량 (G_b) 을 이용하여 비트 레벨 RS 부호를 얻는다.

<59> 이 후, 비트 레벨 RS 부호를 성분 부호(component code)로 하여 열(row)와 행(column) 벡터(vector)를 생성하게 된다.

<60> 또한, 복호화 과정은 도1의 복호화부(150)에서 이루어진다.

<61> 즉, 상기 복호화부(150)는 복조부(140)에서 추출한 RS 시퀀스를 입력으로 RS 부호의 이

진 생성 매트릭스(binary generator matrix)를 생성하고 그 RS 부호의 이진 생성 매트릭스(binary generator matrix)에 대응하는 이진 패리티 체크 매트릭스(binary parity check matrix)를 이용하여 이진 트렐리스(binary trellis)를 생성하게 된다.

<62> 이 후, 이진 트렐리스(binary trellis) 위에서 열 벡터와 행 벡터를 순차적으로 복호화하면서 비트 레벨의 extrinsic information을 구하여 반복 복호 과정의 새로운 정보로 입력시키게 된다.

<63> 이에 따라, 반복 복호 과정을 통해 행 벡터와 열 벡터를 구하게 된다.

<64> 즉, 상기 복호화부(150)는 도2와 같이 구성하여 비트 레벨 복호기(210)가 채널(L_c)로부터 수신된 시퀀스(L_y)와 이전 복호 정보($L_e^c(\hat{u})$)를 연산하여 열(row) 벡터($L_e^r(\hat{u})$, $L^r(\hat{u})$)를 산출하고 비트 레벨 복호기(220)가 상기 비트 레벨 복호기(210)로부터 수신된 열 벡터($L_e^r(\hat{u})$)를 입력으로 행 벡터($L^c(\hat{u})=L(\hat{u})$)를 산출하면서 상기 비트 레벨 복호기(210)로의 복호 정보($L_e^c(\hat{u})$)를 산출함으로써 SISO 디코더에서 나오는 bit extrinsic information을 역계환하는 것을 특징으로 한다.

<65> 따라서, 비트 레벨 트렐리스(trellis) 구조에서의 SISO 복호는 많은 브랜치 복잡도를 줄일 수 있으므로 트렐리스(trellis)의 길이 복잡도(depth-complexity)보다 브랜치 복잡도(branch complexity)가 심각한 디코더에서 매우 유용하다.

【발명의 효과】

<66> 상기에서 상세히 설명한 바와 같이, 본 발명은 이진 등가량(binary equivalent)으로 비트 레벨의 트렐리스(trellis)를 생성하여 부호화/복호화 과정을 실행함으로써 비-이진 심볼(non-binary symbol)을 이용하는 경우보다 브랜치 복잡도를 줄이고 또한, 반복 부호의

중요 부분인 인터리버의 크기를 비트 레벨에서 크게 확장시키는 효과가 있다.

<67> 이러한 본 발명은 단 블록(short block)을 가지는 통신 시스템에 적용하는 경우에도 기존의 비-이진(non-binary)에 의존한 RS 곱 부호보다도 상대적으로 더 좋은 성능을 발휘할 수 있다.

【특허청구범위】**【청구항 1】**

비트 레벨 부호화부를 구비하여 RS 코드에 대한 부호화를 수행하는 방법에 있어서, binary information sequence와 systematic generator matrix의 곱에 의해 RS 부호의 이진 등가량(binary equivalent)을 생성하여 비트 레벨 RS 부호를 얻는 제1 단계와, 상기 비트 레벨 RS 부호를 성분 부호(component code)로 이용하여 열(row)과 행(column) 벡터(vector)를 생성하는 제2 단계로 이루어짐을 특징으로 하는 비트 레벨 부호화 방법.

【청구항 2】

비트 레벨 복호화부를 구비하여 RS 코드에 대한 복호화를 수행하는 방법에 있어서, 수신 신호로부터 RS 부호의 이진 생성 매트릭스(binary generator matrix)에 대응하는 이진 패리티 체크 매트릭스(binary parity check matrix)를 이용하여 이진 트렐리스(binary trellis)를 생성하는 제1 단계와, 상기 이진 트렐리스를 이용하여 열 벡터와 행 벡터를 복호하고 비트 레벨의 extrinsic information을 구하여 새로운 복호 정보로 입력시키는 제2 단계를 반복 수행함을 특징으로 하는 비트 레벨 복호화 방법.

【청구항 3】

부호화하기 위한 심볼의 부호 길이, 정보 길이, 정보 다항식의 각 계수, 생성 다항식의 계수 등의 정보를 입력시키는 소스 정보 입력부와, RS 부호의 이진 등가량(binary equivalent)과 상기 소스 정보 입력부에서의 정보를 연산하여 비트 레벨 RS 부호를 얻고 이를 성분 부호(component code)로 하여 열(row)과 행(column) 벡터(vector)를 생성하는 부호화부와, 이 부호화부에서 생성된 코드를 변조하는 변조부와, 수신 신호로부터 비

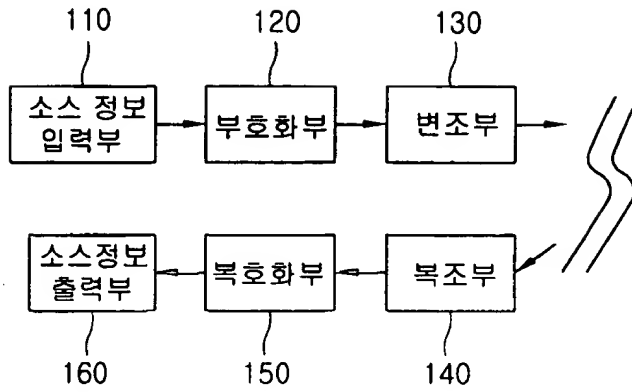
트 레벨의 RS 시퀀스를 복조하는 복조부와, 이 복조부로부터의 RS 시퀀스에 대해 RS 부호의 이진 등가량을 이용하여 반복적으로 복호를 수행함에 의해 열 벡터와 행 벡터를 복호하는 복호화부와, 이 복호화부에서의 생성 코드를 외부로 출력하는 소스 정보 출력부를 구비하여 구성함을 특징으로 하는 비트 레벨 부호화/복호화 장치.

【청구항 4】

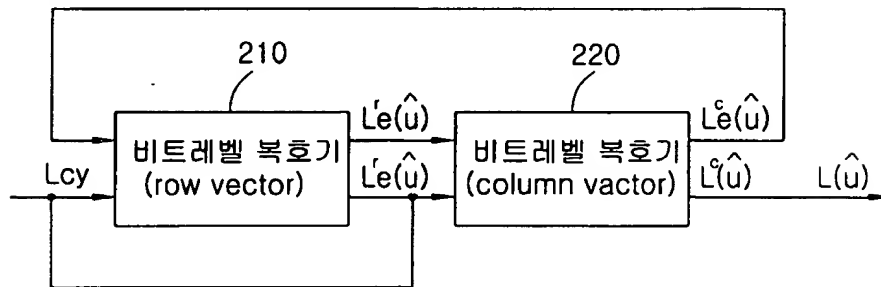
제3항에 있어서, 복호화부는 수신된 RS 시퀀스와 새로운 복호 정보(entrinsic information)를 연산하여 열 벡터를 생성하는 제1 비트 레벨 복호기와, 이 제1 비트 레벨 복호기로부터 수신된 열 벡터를 입력으로 행 벡터를 생성하면서 상기 제1 비트 레벨 복호기로의 새로운 복호 정보를 궤환시키는 제2 비트 레벨 복호기를 구비하여 구성함을 특징으로 하는 비트 레벨 부호화/복호화 장치.

【도면】

【도 1】



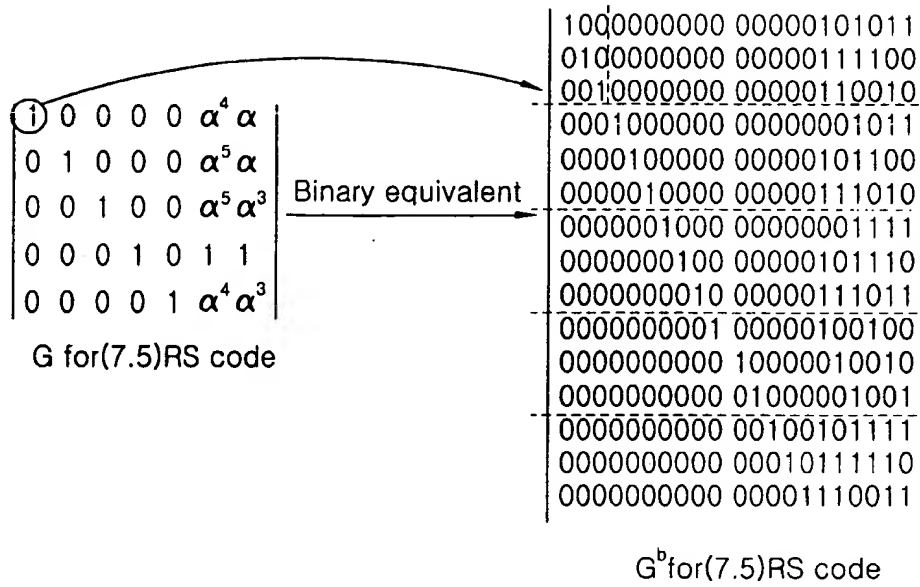
【도 2】



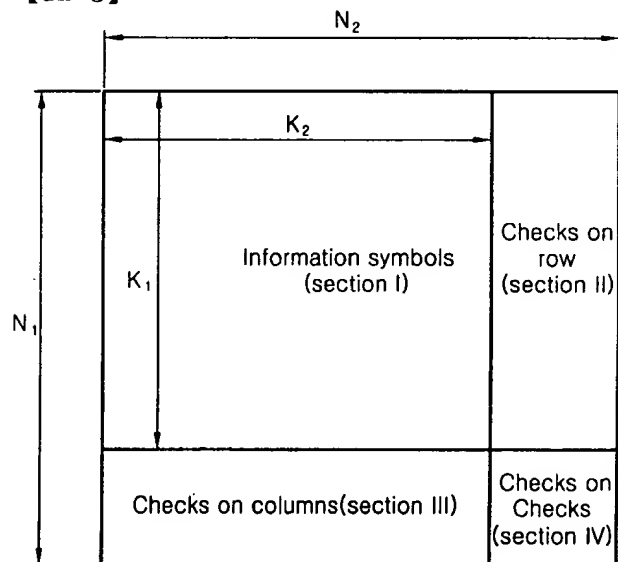
【도 3】

$$G_b = \begin{bmatrix} \begin{bmatrix} \alpha^{m-1} & g_{00} \\ \vdots & \vdots \\ \alpha^0 & g_{00} \end{bmatrix} & \cdots & \begin{bmatrix} \alpha^{m-1} & g_{0N-1} \\ \vdots & \vdots \\ \alpha^0 & g_{0N-1} \end{bmatrix} \\ \vdots & \ddots & \vdots \\ \begin{bmatrix} \alpha^{m-1} & g_{K-1,0} \\ \vdots & \vdots \\ \alpha^0 & g_{K-1,0} \end{bmatrix} & \cdots & \begin{bmatrix} \alpha^{m-1} & g_{K-1N-1} \\ \vdots & \vdots \\ \alpha^0 & g_{K-1N-1} \end{bmatrix} \end{bmatrix}$$

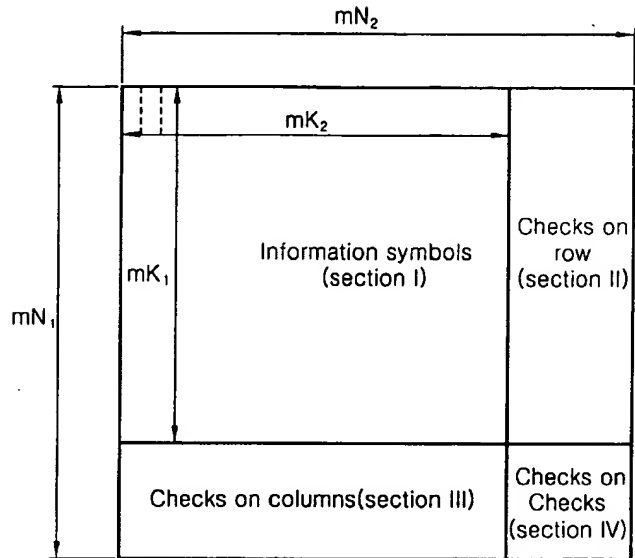
【도 4】



【도 5】



【도 6】



【도 7】

